

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273949

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

H 0 1 F 17/00

識別記号

F I

H 0 1 F 17/00

A

審査請求 未請求 請求項の数10 F D (全 7 頁)

(21) 出願番号 特願平10-93869

(22) 出願日 平成10年(1998)3月24日

(71) 出願人 593119169

株式会社ティ・アイ・エフ

東京都大田区山王二丁目5番6-213号

(72) 発明者 岡本 明

埼玉県上尾市緑丘4丁目7-17

(72) 発明者 池田 毅

東京都大田区山王2丁目5番6-213

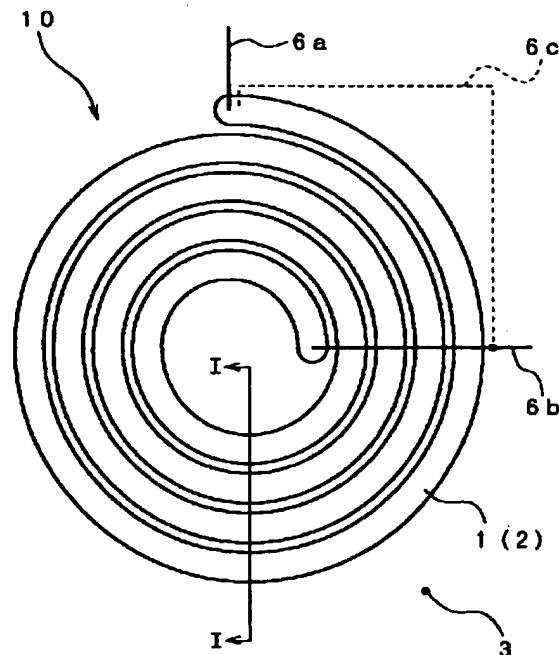
(74) 代理人 弁理士 雨貝 正彦

(54) 【発明の名称】 インダクタ素子

(57) 【要約】

【課題】 基板上に形成した場合であっても有効に機能するインダクタ素子10を提供すること。

【解決手段】 インダクタ素子10は、半導体基板3の表面に形成された渦巻き形状の2本の導体1、2を有している。上層の導体1と下層の導体2は、ほぼ同一形状を有しており、半導体基板3の表面側から見たときに、上層の導体1と下層の導体2とがほぼ重なるように形成される。また、上層の導体1の外周端(外縁端)と内周端(中心端)のそれぞれには、引出線6a、6bが接続されており、上層の導体1の外周端と下層の導体2の内周端とが接続線6cによって接続されている。上層の導体1は、インダクタ導体として機能しており、その両端に接続された引出線6a、6bを介して、半導体基板3上に形成された回路に接続される。



【特許請求の範囲】

【請求項1】 互いに絶縁された状態で基板上に重ねて形成された2つの導体を有し、それぞれの一方端同士を接続するとともに、上層の前記導体をインダクタ導体として用いることを特徴とするインダクタ素子。

【請求項2】 請求項1において、前記2つの導体は、ほぼ同一形状を有していることを特徴とするインダクタ素子。

【請求項3】 請求項1または2において、前記2つの導体は、長尺形状を有しており、それぞれの長手方向の一方端同士を接続することを特徴とするインダクタ素子。

【請求項4】 請求項1または2において、前記2つの導体は、周回数が1周末満の周回形状を有しており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項5】 請求項1または2において、前記2つの導体は、周回数が1周以上の渦巻き形状を有しており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項6】 請求項1または2において、前記2つの導体は、ほぼ直線形状に形成されており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項7】 請求項1または2において、前記2つの導体は、蛇行形状に形成されており、それぞれの一方端同士を接続することを特徴とするインダクタ素子。

【請求項8】 請求項5において、一方の前記導体の内周側端部と他方の前記導体の外周側端部とを接続することを特徴とするインダクタ素子。

【請求項9】 請求項1～8のいずれかにおいて、上層の前記導体のインダクタンス成分と、前記2つの導体間のキャパシタンス成分とを有することを特徴とするインダクタ素子。

【請求項10】 請求項1～9のいずれかにおいて、前記基板は、半導体基板であることを特徴とするインダクタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板等の各種の基板上に形成されるインダクタ素子に関する。

【0002】

【従来の技術および発明が解決しようとする課題】半導体基板上に薄膜成形技術を利用して渦巻き形状のパターンを形成し、このパターンをインダクタ素子として利用する半導体回路が知られている。このような半導体基板上に形成されたインダクタ素子に電流が流れると、渦巻き形状のパターンに垂直な方向に磁束が発生するが、この磁束によって半導体基板表面に渦電流が発生して有効

磁束を打ち消すため、インダクタ素子として有効に機能しなくなるという問題がある。特に、インダクタ素子に流れる信号の周波数が高くなるほどこの傾向が顕著であり、インダクタ素子を含む高周波回路を半導体基板上に形成することは難しい。

【0003】本発明は、このような点に鑑みて創作されたものであり、その目的は、基板上に形成した場合であっても有効に機能するインダクタ素子を提供することにある。

【0004】

【課題を解決するための手段】上述した課題を解決するために、本発明のインダクタ素子は、基板上に2つの導体を絶縁層を挟んで重ねて形成し、それぞれの一方端同士を接続するとともに、上層の導体をインダクタ導体として用いる。このような構造を有するインダクタ素子は、基板上に形成しても渦電流等によってインダクタンス成分が消失せずに所定のインダクタンスを有することが実験により確かめられており、インダクタ素子として有効に機能する。

20 【0005】特に、上述した2つの導体は、ほぼ同一形状の長尺形状に形成することが好ましい。同一形状とすることにより、上層の導体が基板表面と直接対向することがないため、直接対向させたときに基板上に生じる渦電流を低減することができる。また、2つの導体の形状を長尺形状とすることにより、上層の導体に所定のインダクタンスを持たせることができる。特に、導体を1周以上の渦巻き形状あるいは蛇行形状に形成した場合には、大きなインダクタンスを持たせることができるため、比較的低い周波数の回路に組み込む場合に適している。また、導体を1周末満の周回形状あるいはほぼ直線形状に形成した場合には、渦巻き形状等に形成した場合に比べてインダクタンスを小さくすることができるため、比較的高い周波数の回路に組み込む場合に適している。

40 【0006】また、2つの導体を渦巻き形状とした場合には、一方の導体の内周端と他方の導体の外周端とを接続することが好ましい。このような接続を行うことにより、基板上にインダクタ導体を形成した状態でさらに大きなインダクタンスを確保できることが実験により確かめられており、基板上で有効に機能するインダクタ素子を実現することができる。

【0007】また、上述したインダクタ素子は、インダクタンス成分とともにキャパシタンス成分を有する複合素子としての使用に適している。このインダクタ素子は、互いに重なり合った2つの導体を有しており、その特性にはキャパシタンス成分も含まれるため、インダクタとキャパシタとを組み合わせる回路の一部とするような用途に用いることができる。

50 【0008】また、上述したインダクタ素子は、半導体基板上に形成することが好ましい。特に、有効に機能す

るインダクタ素子を半導体基板上に形成することができれば、インダクタ素子を含む各種の基本的な部品が半導体基板上に形成できることになるため、外付け部品を用いることなく各種回路の全体を半導体基板上に一体形成することが可能になる。

【0009】

【発明の実施の形態】以下、本発明を適用した一実施形態のインダクタ素子について、図面を参照しながら具体的に説明する。

【0010】図1は、基板上に形成された本実施形態のインダクタ素子の平面構造を示す図である。本実施形態のインダクタ素子10は、半導体基板3の表面に形成された渦巻き形状の2本の導体1、2を有している。

【0011】これら2本の導体1、2は、ほぼ同一形状を有しており、図1に示すように、半導体基板3の表面側から見たときに、上層となる一方の導体1と下層となる他方の導体2とがほぼ重なるように形成されている。各導体1、2は、アルミニウムや金等の金属薄膜、あるいはポリシリコン等の半導体材料によって形成されている。

【0012】図2は、上述した2本の導体1、2の接続状態を示す図である。図2に示すように、上層の導体1の外周端（外縁端）と内周端（中心端）のそれぞれには、引出線6a、6bが接続されており、上層の導体1の内周端と下層の導体2の外周端とが接続線6cによって接続されている。

【0013】上層の導体1は、インダクタ導体として機能しており、その両端に接続された引出線6a、6bを介して、半導体基板3上に形成された回路（図示せず）に接続される。

【0014】図3は、図1のI-I線拡大断面図である。図2に示すように、半導体基板3の表面に絶縁層4が形成されており、その上面の一部に渦巻き形状の導体2が形成されている。また、絶縁層4と導体2の上面に絶縁層5が形成されており、その上面には導体1が形成されている。

【0015】本実施形態のインダクタ素子10は上述した構造を有しており、上層の導体1の両端のそれぞれに接続された2本の引出線6a、6bの間に所定のインダクタンスが現れるため、この上層の導体1をインダクタ導体として用いることができる。また、この上層の導体1の下側に、この導体1とほぼ同一形状を有する導体2を形成し、互いの一方端同士を接続線6cで接続することにより、上層の導体1をインダクタ導体として使用した際に半導体基板3の表面の渦電流の発生を抑えることができ、上層の導体1をインダクタ導体として有効に機能させることができる。したがって、インダクタ素子を含む回路の全体を半導体基板3上に一体形成して集積化することが可能になる。

【0016】次に、上述した本実施形態のインダクタ素

子10の特性を類推するための比較実験を行った結果について説明する。

【0017】図4は、インダクタ素子10に含まれる導体1と同じ形状の1層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図5はインダクタ素子10に含まれる導体1と同じ形状の1層の電極を有するインダクタ素子の順方向利得であって、このインダクタ素子に導体基板を密着させた場合の特性が示されている。

【0018】これらの測定に用いたインダクタ素子は、厚さ0.13mm、比誘電率3.17の絶縁部材の表面に、パターン幅が1mm、周回するパターンの隣接間隔が0.2mm、周回数が5ターンの電極が形成されたものが用いられている。図4に示した特性は、このインダクタ素子を他の導電性部材から充分離間した状態で測定したものである。また、図5に示した特性は、このインダクタ素子の反電極側の絶縁部材表面に銅板を密着させた状態で測定したものである。なお、図4および図5（後述する図6および図7も同様）の縦軸は対数表示した減衰量を、横軸は対数表示した入力信号の周波数をそれぞれ示している。

【0019】渦巻き形状を有する1層の電極からなるインダクタ素子は、他の導電性部材から充分離間した状態では、図4に示すように、入力信号の周波数が高くなればなるほどその順方向利得が小さくなる。これは、所定のインダクタンスLを有するインダクタ素子のインピーダンスは $j\omega L$ であって、入力信号の周波数に比例して大きくなるためである。

【0020】これに対し、このインダクタ素子を銅板に密着させた状態では、図5に示すように、入力信号が変化しても高い順方向利得が維持される。これは、このインダクタ素子が有するインダクタンスが銅板を接近させることにより小さくなったために、本来のインダクタとして機能しなくなったことを示している。インダクタンスが小さくなった原因としては、電極に信号が入力されたときに発生する磁束によって銅板表面に渦電流が生じてこの磁束を打ち消すことが考えられる。

【0021】なお、上述した測定では、基板として銅板を用いたが、銅板の代わりに半導体基板を用いた場合であっても、基本的には同様の現象が起こる。

【0022】図6は、インダクタ素子10に含まれる2本の導体1、2と同じ形状および配置の2層の電極を有するインダクタ素子の順方向利得を測定した結果を示す図である。また、図7はインダクタ素子10に含まれる2本の導体1、2と同じ形状および配置の2本の電極を有するインダクタ素子の順方向利得であって、このインダクタ素子に導体基板を密着させた場合の特性が示されている。

【0023】これらの測定に用いたインダクタ素子は、図4および図5に測定結果を示したインダクタ素子に対

して、図1に示した導体2に対応する電極を追加した構造を有している。なお、このインダクタ素子に銅板を密着させる場合には、十分に薄い絶縁部材を介して下層の電極と銅板とが配置されている。

【0024】渦巻き形状を有する2層の電極を対向配置したインダクタ素子は、他の導電性部材から充分分離した状態では、図6に示す順方向利得特性からわかるように、84MHz近傍に共振点が現れる。これは、一方の電極がインダクタ導体として機能するとともに、2本の電極間にキャパシタンスが生じるため、このインダクタ素子全体としてはインダクタンス成分とキャパシタンス成分を有する複合素子として機能するためである。

【0025】また、このインダクタ素子を銅板に密着させた状態では、図7に示すように、共振点の位置(135MHz)がずれるが、同じような共振点が現れる。これは、上述した電極の2重構造を有するインダクタ素子を用いることにより、銅板を密着させてもそのインダクタンス成分が消失することがなく、インダクタ導体としての機能を維持していることを示している。

【0026】なお、2重構造の電極を有するインダクタ素子は、2本の電極間のキャパシタンスが必ず付随するため、用途としてはその共振特性を利用した回路の一部品として使用することが好ましい。例えば、発振回路、同調回路等のインダクタ素子10として用いることが好ましい。

【0027】次に、上述した本実施形態のインダクタ素子10を実際の回路の一部品として用いた場合の具体例を説明する。

【0028】図8は、本実施形態のインダクタ素子10を用いて構成される発振回路の例であり、クラップ発振回路の構成が示されている。このクラップ発振回路では、2つのキャパシタ20、22のキャパシタンスがトランジスタ24の端子間容量の数十倍になるように設定されており、キャパシタ28を介してインダクタ素子30が接続されている。

【0029】図9は、図8に示したクラップ発振回路のインダクタ素子30として、図4に順方向利得の測定結果を示した1層の電極を有するインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図9に示すように、119MHzの発振周波数が観察された。

【0030】また、図10は、図8に示したクラップ発振回路のインダクタ素子30として、図7に順方向利得の測定結果を示した2層の電極を銅板に密着させたインダクタ素子を用いた場合の発振回路の出力特性を示す図である。図10に示すように、127MHzの発振周波数が観察された。

【0031】このように、電極を2層構造としたインダクタ素子は、その一方(インダクタ導体として使用する電極と反対側)に銅板を密着させても、そのインダクタンス成分が消失せずにインダクタ導体として機能してい

ることがわかる。したがって、基本的に同じ構造を有する本実施形態のインダクタ素子10は、上層の導体1の他に下層の導体2を備えることによって、半導体基板3表面に密着するように形成した場合であっても、所定のインダクタンスを有するインダクタ素子として有効に機能することができる。

【0032】なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、図1および図2に示したインダクタ素子10は、上層の導体1の内周端と下層の導体2の外周端とを互いに接続線6cを介して接続するようにしたが、反対に上層の導体1の外周端と下層の導体2の内周端とを互いに接続するようにしてもよい。また、インダクタ素子のインダクタンスがある程度小さくなることを許容する場合には、導体1、2の各外周端同士、あるいは各内周端同士を接続するようにしてもよい。

【0033】また、上述した実施形態では、インダクタ素子10に含まれる2本の導体1、2を渦巻き形状に形成したため、大きなインダクタンスを有するインダクタ素子10を実現することができるが、2本の導体1、2を蛇行形状に形成するようにしてもよい(図11(A))。また、高周波回路の一部品としてこのインダクタ素子10を用いる場合には小さなインダクタンスで充分であるため、導体1、2のターン数を減らして1ターン未満に形成したり(図11(B))、ほぼ直線形状に形成するようにしてもよい(図11(C))。

【0034】また、上述した実施形態では、2つの導体1、2の形状をほぼ同じに設定したが、異なる形状に設定するようにしてもよい。例えば、下層の導体2のターン数を上層の導体1のターン数よりも多く設定するようにしてもよい。このように、上層の導体1の下側に下層の導体2の全部あるいは一部が配置されると、直接上層の導体1が半導体基板3と対向しなくなるため、上層の導体1による渦電流の発生を有効に防止することができる。

【0035】また、上述した実施形態では、半導体基板3上に2本の導体1、2を形成することによりインダクタ素子10を形成したが、金属等の導体基板上に2本の導体1、2を形成したインダクタ素子10を実現することもできる。図5に示した実験結果から、この場合であってもインダクタ素子10として有効に機能することが確かめられている。導体基板上に密着させてインダクタ素子10を形成することができれば、金属製のシールドケース等の表面にインダクタ素子10を配置することも可能になり、インダクタ素子の設置スペースの確保が容易となる。

【0036】

【発明の効果】上述したように、本発明によれば、基板上に2つの導体を重ねて形成し、それぞれの一方端同士を接続することにより、上層の導体を所定のインダクタ

7

ンスを有するインダクタ導体として用いることができ、インダクタ素子として有効に機能させることができる。特に、2つの導体を渦巻き形状に形成し、一方の導体の内周端と他方の導体の外周端とを接続することにより、大きなインダクタンスを確保することができる。また、本発明によれば、半導体基板上で有効に機能するインダクタ素子が実現されるため、従来不可能であったインダクタを含む全部品の集積化が可能になる。

【図面の簡単な説明】

【図1】本実施形態のインダクタ素子10の平面構造を示す図である。

【図2】図1に示した2本の導体の接続状態を示す図である。

【図3】図1のI-I線拡大断面図である。

【図4】実験結果を示す図である。

【図5】実験結果を示す図である。

【図6】実験結果を示す図である。

8

【図7】実験結果を示す図である。

【図8】インダクタ素子を含む発振回路の回路図である。

【図9】図8に示す発振回路の出力特性を示す図である。

【図10】図8に示す発振回路の出力特性を示す図である。

【図11】インダクタ素子に含まれる導体の変形例を示す図である。

【符号の説明】

1、2 導体

3 半導体基板

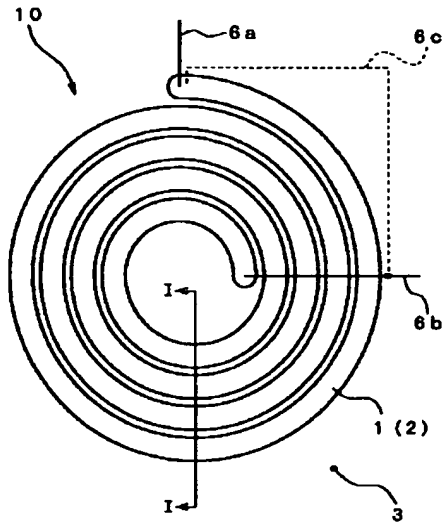
4、5 絶縁層

6a、6b 引出線

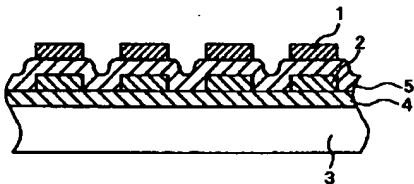
6c 接続線

10 インダクタ素子

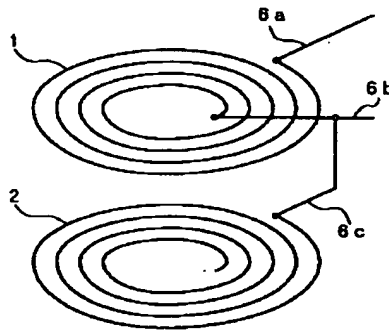
【図1】



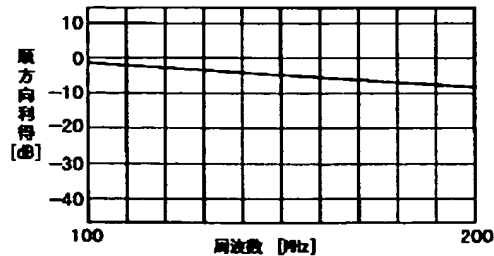
【図3】



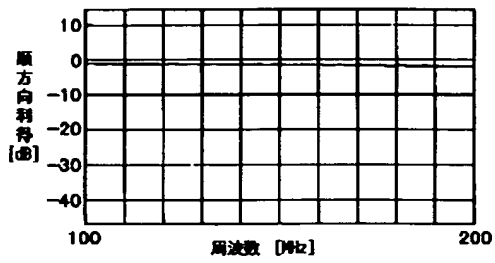
【図2】



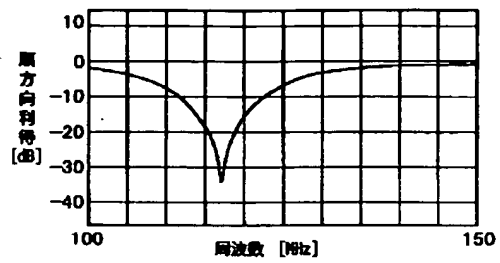
【図4】



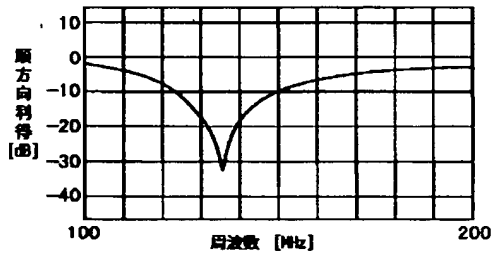
【図5】



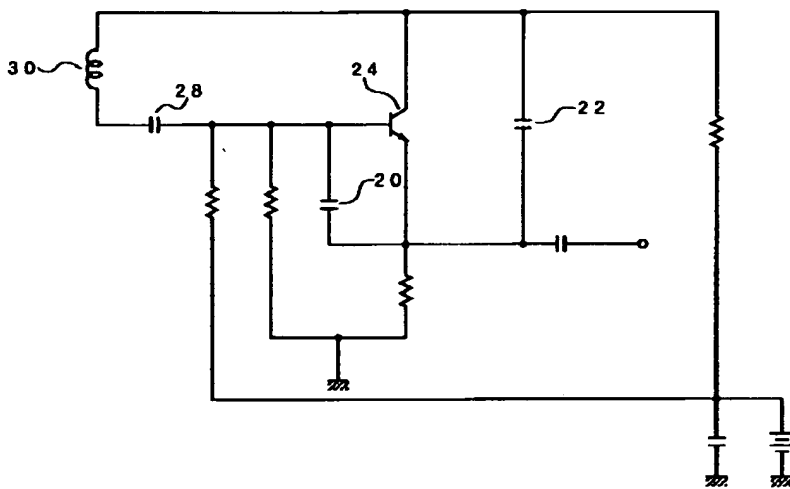
【図6】



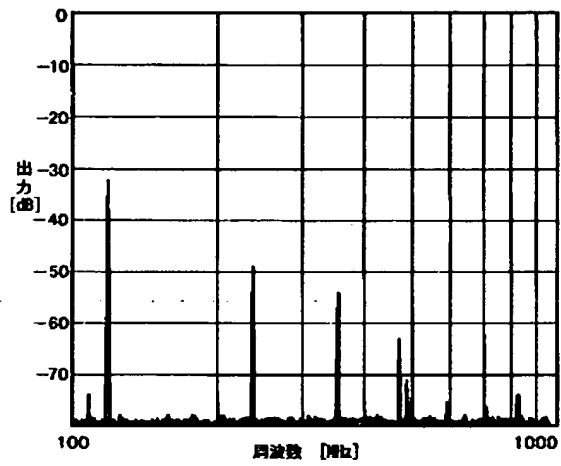
【図7】



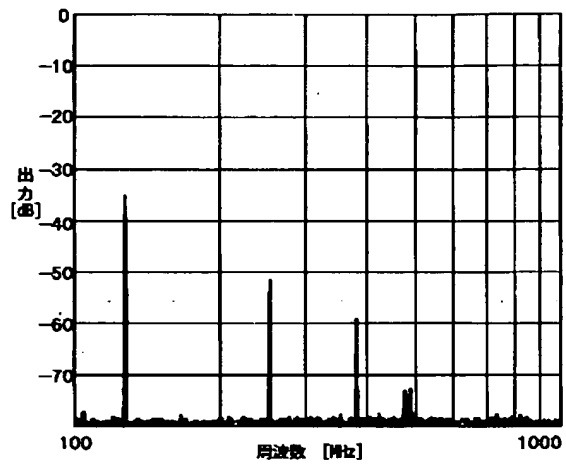
【図8】



【図9】



【図10】



【図11】

